

SOLID-STATE IMAGE PICKUP DEVICE, OUTPUT CIRCUIT FOR SOLID-STATE IMAGE PICKUP DEVICE, AMPLIFIER CIRCUIT AND ELECTRONIC DEVICE

Publication number: JP9200633

Publication date: 1997-07-31

Inventor: YASUDA MINORU; MAKI YASUTO

Applicant: SONY CORP

Classification:

- international: **H01L27/148; H04N5/335; H01L27/148; H04N5/335;**
(IPC1-7): H04N5/335; H01L27/148

- European:

Application number: JP19960010261 19960124

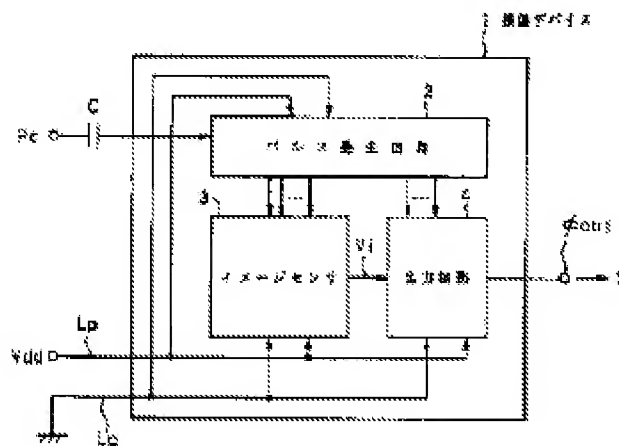
Priority number(s): JP19960010261 19960124

Report a data error here

Abstract of JP9200633

PROBLEM TO BE SOLVED: To allow an output circuit to cope quickly with a succeeding operation without interrupting an external power supply by providing an amplifier stage having at least a constant current source and a control means controlling a current flow to the constant current source of an amplifier stage.

SOLUTION: A power supply line Lp(power supply voltage Vdd) and a ground line Lg are connected to a pulse generating circuit 2, an image sensor 3 and an output circuit 4 in a video device 1. The circuit 2 generates and outputs a drive pulse group to decide the operation timing of the circuit 4 and a transfer pulse group to drive the image sensor 3 based on a reference clock Pc received externally via a coupling capacitor C. The circuit 4 has an amplifier circuit amplifying a voltage signal Vi from a charge-electric signal conversion section in the image sensor 3 at a prescribed gain. The signal Vin is extracted as a video signal S from an output terminal &phiv out through the amplifier circuit of the circuit 4.



Data supplied from the **esp@cenet** database - Worldwide

Family list**1** family member for: **JP9200633**

Derived from 1 application

[Back to JP920](#)**1** **SOLID-STATE IMAGE PICKUP DEVICE, OUTPUT CIRCUIT FOR SOLID-STATE IMAGE PICKUP DEVICE, AMPLIFIER CIRCUIT AND ELECTRONIC DEVICE****Inventor:** YASUDA MINORU; MAKI YASUTO**Applicant:** SONY CORP**EC:****IPC:** **H01L27/148; H04N5/335; H01L27/148**
(+3)**Publication info:** **JP9200633 A** - 1997-07-31Data supplied from the **esp@cenet** database - Worldwide

(11)特許出願公開番号

特開平9-200633

(43)公開日 平成9年(1997)7月31日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/335			H 0 4 N 5/335	Z
H 0 1 L 27/148			H 0 1 L 27/14	B

審査請求 未請求 請求項の数28 O.L (全 20 頁)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

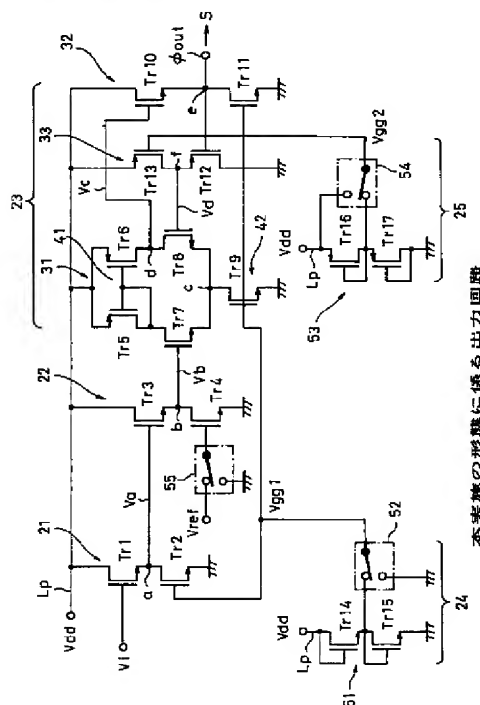
(74)代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 固体撮像装置、固体撮像装置の出力回路、増幅回路及び電子機器

(57) 【要約】

【課題】 外部電源を遮断することなく固体撮像装置を選択的に非動作モードにでき、消費電力の低減化及び迅速な動作モードへの移行を実現させる。

【解決手段】 入力信号 V_i を電流増幅するソースフォロア回路21と、該ソースフォロア21の出力 V_a 中、リセットパルスのカップリング成分を除去する差動回路22と、差動回路22からの出力 V_b を所定のゲインで増幅して撮像信号 S として出力するボルテージフォロア回路23と、初段のソースフォロア回路21，差動増幅回路31の定電流源42及び第1のソースフォロア回路32に第1のゲート電位 V_{gg1} をスイッチング回路52の切換え動作によって選択的に供給する第1のゲート電位生成回路24と、第2のソースフォロア回路33に第2のゲート電位 V_{gg} をスイッチング回路54の切換え動作によって選択的に供給する第2のゲート電位生成回路25と、差動回路22にパルス信号を選択的に供給するスイッチング回路55とを設けて構成する。



【特許請求の範囲】

【請求項1】 被写体からの入射光をその光量に応じた量の信号電荷に変換する光電変換部が多数配列された撮像部と、

上記撮像部に蓄積された上記信号電荷を出力側に転送する転送レジスタと、

上記転送レジスタを通じて転送された上記信号電荷をその電荷量に応じたレベルの電気信号に変換して出力する出力回路とが同一基板上に形成された固体撮像装置において、

上記出力回路は、少なくとも定電流源を有する一つの増幅段と、

上記増幅段の定電流源に流れる電流を制御する制御手段とを有することを特徴とする固体撮像装置。

【請求項2】 上記増幅段は、MOS形FETによる定電流源を有する差動増幅回路であって、

上記制御手段は、上記定電流源におけるMOS形FETのゲート電位を制御することを特徴とする請求項1記載の固体撮像装置。

【請求項3】 上記増幅段の後段に駆動トランジスタと負荷トランジスタが直列に接続されたバッファ回路が接続され、

上記制御手段は、上記増幅段の定電流源におけるMOS形FETのゲート電位と、上記バッファ回路における負荷トランジスタのゲート電位を制御することを特徴とする請求項2記載の固体撮像装置。

【請求項4】 上記制御手段は、上記増幅段における定電流源に流れる電流をオンオフ制御し、固体撮像装置の動作停止時に、上記定電流源に流れる電流を遮断することを特徴とする請求項1、2又は3記載の固体撮像装置。

【請求項5】 上記制御手段は、正規のゲート電位を生成するゲート電位生成回路と、

上記ゲート電位生成回路からの上記正規のゲート電位と、上記増幅段の定電流源に流れる電流を遮断するために必要な電位とを選択的に切り換えるスイッチング回路とを有することを特徴とする請求項4記載の固体撮像装置。

【請求項6】 上記スイッチング回路は、ゲート電極にスイッチングのためのオンオフ信号が供給される第1導電型のMOSトランジスタと、ゲート電極に上記オンオフ信号の反転信号が供給される第2導電型のMOSトランジスタとを有し、かつ共通のドレインに上記正規のゲート電位が印加される第1のアナログスイッチと、ゲート電極にスイッチングのためのオンオフ信号が供給される第2導電型のMOSトランジスタと、ゲート電極に上記オンオフ信号の反転信号が供給される第1導電型のMOSトランジスタとを有し、かつ共通のドレインに上記増幅段の定電流源に流れる電流を遮断するために必要な電位が印加される第2のアナログスイッチとを具備し、上記増幅段の定電流源をオンオフ制御するための出力電

位が上記各アナログスイッチの共通のソースより出力される構成を有することを特徴とする請求項5記載の固体撮像装置。

【請求項7】 上記増幅段の定電流源に流れる電流を遮断するために必要な電位が接地電位であることを特徴とする請求項4、5又は6記載の固体撮像装置。

【請求項8】 被写体からの入射光をその光量に応じた量の信号電荷に変換する光電変換部が多数配列された撮像部と、上記撮像部に蓄積された上記信号電荷を出力側に転送する転送レジスタとを有する固体撮像素子と共に同一基板上に形成されるもので、上記転送レジスタを通じて転送された上記信号電荷をその電荷量に応じたレベルの電気信号に変換して出力する固体撮像装置の出力回路において、

少なくとも定電流源を有する一つの増幅段と、

上記増幅段の定電流源に流れる電流を制御する制御手段とを有することを特徴とする固体撮像装置の出力回路。

【請求項9】 上記増幅段は、MOS形FETによる定電流源を有する差動増幅回路であって、

上記制御手段は、上記定電流源におけるMOS形FETのゲート電位を制御することを特徴とする請求項8記載の固体撮像装置の出力回路。

【請求項10】 上記増幅段の後段に駆動トランジスタと負荷トランジスタが直列に接続されたバッファ回路が接続され、

上記制御手段は、上記増幅段の定電流源におけるMOS形FETのゲート電位と、上記バッファ回路における負荷トランジスタのゲート電位を制御することを特徴とする請求項9記載の固体撮像装置の出力回路。

【請求項11】 上記制御手段は、上記増幅段における定電流源に流れる電流をオンオフ制御し、固体撮像装置の動作停止時に、上記増幅段に流れる電流を遮断することを特徴とする請求項8、9又は10記載の固体撮像装置の出力回路。

【請求項12】 上記制御手段は、正規のゲート電位を生成するゲート電位生成回路と、

上記ゲート電位生成回路からの上記正規のゲート電位と、上記増幅段の定電流源に流れる電流を遮断するために必要な電位とを選択的に切り換えるスイッチング回路とを有することを特徴とする請求項11記載の固体撮像装置の出力回路。

【請求項13】 上記スイッチング回路は、ゲート電極にスイッチングのためのオンオフ信号が供給される第1導電型のMOSトランジスタと、ゲート電極に上記オンオフ信号の反転信号が供給される第2導電型のMOSトランジスタとからなり、かつ共通のドレインに上記正規のゲート電位が印加される第1のアナログスイッチと、ゲート電極にスイッチングのためのオンオフ信号が供給される第2導電型のMOSトランジスタと、ゲート電極に上記オンオフ信号の反転信号が供給される第1導電型

のMOSトランジスタとからなり、かつ共通のドレインに上記増幅段の定電流源に流れる電流を遮断するに必要な電位が印加される第2のアナログスイッチとを具備し、

上記増幅段の定電流源をオンオフ制御するための出力電位が上記各アナログスイッチの共通のソースより出力される構成を有することを特徴とする請求項12記載の固体撮像装置の出力回路。

【請求項14】 上記増幅段の定電流源に流れる電流を遮断するに必要な電位が接地電位であることを特徴とする請求項11、12又は13記載の固体撮像装置の出力回路。

【請求項15】 少なくとも定電流源を有し、かつ入力信号を所定のゲインにて増幅する増幅段と、上記定電流源に流れる電流を制御する制御手段を有することを特徴とする増幅回路。

【請求項16】 上記増幅段は、MOS形FETによる定電流源を有する差動増幅回路であって、上記制御手段は、上記定電流源におけるMOS形FETのゲート電位を制御することを特徴とする請求項15記載の増幅回路。

【請求項17】 上記増幅段の後段に駆動トランジスタと負荷トランジスタが直列に接続されたバッファ回路が接続され、

上記制御手段は、上記増幅段の定電流源におけるMOS形FETのゲート電位と、上記バッファ回路における負荷トランジスタのゲート電位を制御することを特徴とする請求項16記載の増幅回路。

【請求項18】 上記制御手段は、上記増幅段における定電流源に流れる電流をオンオフ制御し、上記増幅段の動作停止時に、上記定電流源に流れる電流を遮断することを特徴とする請求項15、16又は17記載の増幅回路。

【請求項19】 上記制御手段は、正規のゲート電位を生成するゲート電位生成回路と、上記ゲート電位生成回路からの上記正規のゲート電位と、上記増幅段の定電流源に流れる電流を遮断するに必要な電位とを選択的に切り換えるスイッチング回路とを有することを特徴とする請求項18記載の増幅回路。

【請求項20】 上記スイッチング回路は、ゲート電極にスイッチングのためのオンオフ信号が供給される第1導電型のMOSトランジスタと、ゲート電極に上記オンオフ信号の反転信号が供給される第2導電型のMOSトランジスタとからなり、かつ共通のドレインに上記正規のゲート電位が印加される第1のアナログスイッチと、ゲート電極にスイッチングのためのオンオフ信号が供給される第2導電型のMOSトランジスタと、ゲート電極に上記オンオフ信号の反転信号が供給される第1導電型のMOSトランジスタとからなり、かつ共通のドレインに上記増幅段の定電流源に流れる電流を遮断するに必要な

な電位が印加される第2のアナログスイッチとを具備し、

上記増幅段の定電流源をオンオフ制御するための出力電位が上記各アナログスイッチの共通のソースより出力される構成を有することを特徴とする請求項19記載の増幅回路。

【請求項21】 上記増幅段の定電流源に流れる電流を遮断するに必要な電位が接地電位であることを特徴とする請求項18、19又は20記載の増幅回路。

【請求項22】 少なくとも定電流源を有し、かつ入力信号を所定のゲインにて増幅する増幅段が接続された信号処理系を具備した電子機器において、上記増幅段の定電流源に流れる電流を制御する制御手段を有することを特徴とする電子機器。

【請求項23】 上記増幅段は、MOS形FETによる定電流源を有する差動増幅回路であって、上記制御手段は、上記定電流源におけるMOS形FETのゲート電位を制御することを特徴とする請求項22記載の電子機器。

【請求項24】 上記増幅段の後段に駆動トランジスタと負荷トランジスタが直列に接続されたバッファ回路が接続され、

上記制御手段は、上記増幅段の定電流源におけるMOS形FETのゲート電位と、上記バッファ回路における負荷トランジスタのゲート電位を制御することを特徴とする請求項23記載の電子機器。

【請求項25】 上記制御手段は、上記増幅段における定電流源に流れる電流をオンオフ制御し、上記信号処理系の動作停止時に、上記定電流源に流れる電流を遮断することを特徴とする請求項22、23又は24記載の電子機器。

【請求項26】 上記制御手段は、正規のゲート電位を生成するゲート電位生成回路と、

上記ゲート電位生成回路からの上記正規のゲート電位と、上記増幅段の定電流源に流れる電流を遮断するに必要な電位とを選択的に切り換えるスイッチング回路とを有することを特徴とする請求項25記載の電子機器。

【請求項27】 上記スイッチング回路は、ゲート電極にスイッチングのためのオンオフ信号が供給される第1導電型のMOSトランジスタと、ゲート電極に上記オンオフ信号の反転信号が供給される第2導電型のMOSトランジスタとからなり、かつ共通のドレインに上記正規のゲート電位が印加される第1のアナログスイッチと、ゲート電極にスイッチングのためのオンオフ信号が供給される第2導電型のMOSトランジスタと、ゲート電極に上記オンオフ信号の反転信号が供給される第1導電型のMOSトランジスタとからなり、かつ共通のドレインに上記増幅段の定電流源に流れる電流を遮断するに必要な電位が印加される第2のアナログスイッチとを具備し、

上記増幅段の定電流源をオンオフ制御するための出力電位が上記各アナログスイッチの共通のソースより出力される構成を有することを特徴とする請求項26記載の電子機器。

【請求項28】 上記増幅段の定電流源に流れる電流を遮断するに必要な電位が接地電位であることを特徴とする請求項25、26又は27記載の電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、動作停止時に外部電源を遮断することなく回路内部に流れる電流を変化（例えば遮断）させて回路動作を変化させることにより、回路の消費電力を低減する機能を有する固体撮像装置、固体撮像装置の出力回路、増幅回路及び電子機器に関する。

【0002】

【従来の技術】近時、VTRやビデオカメラ並びに携帯電話等の電子機器においては、いずれも小型化、多機能化、省電力化が強く求められるようになってきており、これらの要望を満たすために回路のIC化やマイコンの組み込みによる多機能化が図られてきた。

【0003】その結果、一つの素子やICで多彩な機能を持つものが増え、それに伴い電子機器自体の省電力化も進んできた。そして、更なる省電力化の要望が強まるにつれ、素子やICの非動作時の消費電力に対しても注目されるようになってきた。

【0004】ここで、電子機器に組み込まれる回路、特に入力信号を所定のゲインにて増幅する増幅回路の構成を図18に示す。この増幅回路は、例えばビデオカメラの撮像デバイスに組み込まれるもので、該撮像デバイスのイメージセンサに蓄積された信号電荷を電荷-電気信号変換して得られた電圧信号Viを増幅して撮像信号Sとして外部に出力する回路（イメージセンサの出力回路）である。

【0005】この増幅回路は、具体的には、図18に示すように、イメージセンサからの電圧信号Viを所定のゲイン（≒1）で増幅する初段のソースフォロア回路101と、該初段のソースフォロア101の出力Vaを所定のゲイン（≒1）で増幅するボルテージフォロア回路102とが接続されて構成されている。

【0006】上記ボルテージフォロア回路102は、カレントミラー回路を用いた差動増幅回路103と、該差動増幅回路103の出力Vbを所定のゲイン（≒1）で増幅して撮像信号Sとして出力端子φoutより出力する第1のソースフォロア回路104と、該第1のソースフォロア回路104の出力（撮像信号S）を所定のゲイン（≒1）で増幅して電圧信号Vcとして上記差動増幅回路103に帰還させる第2のソースフォロア回路105とが接続されて構成されている。

【0007】上記初段のソースフォロア回路101は、

電源ライン（電源電圧Vdd）と接地間に、エンハンスメント型PMOSトランジスタによる駆動トランジスタTr51と負荷トランジスタTr52とが直列に接続されて構成され、駆動トランジスタTr51のゲート電極にイメージセンサからの電圧信号Viが供給されるように配線接続されている。このソースフォロア回路101の出力Vaは両トランジスタTr51及びTr52の共通接点aから取り出されるようになっている。

【0008】上記ボルテージフォロア回路102における差動増幅回路103は、電源ラインに2つのエンハンスメント型PMOSトランジスタTr53及びTr54の各ドレインが共通に接続されて構成されたカレントミラー回路106と、該カレントミラー回路106の一方のPMOSトランジスタTr53のソースに直列に接続され、かつゲート電極に上記初段のソースフォロア回路101の出力Vaが供給される入力側のエンハンスメント型NMOSトランジスタTr55と、カレントミラー回路106の他方のPMOSトランジスタTr54のソースに直列に接続され、かつゲート電極に第2のソースフォロア回路105の出力Vcが供給される出力側のエンハンスメント型NMOSトランジスタTr56と、これら2つのNMOSトランジスタTr55及びTr56における各エミッタの共通接点bと接地間にエンハンスメント型NMOSトランジスタTr57による定電流源107とを有して構成されている。この差動増幅回路103の出力は、カレントミラー回路106の他方のPMOSトランジスタTr54と出力側のNMOSトランジスタTr56との接続点cより取り出されるようになっている。

【0009】第1のソースフォロア回路104は、電源ラインと接地間にエンハンスメント型NMOSトランジスタによる駆動トランジスタTr58と負荷トランジスタTr59とが直列に接続されて構成され、駆動トランジスタTr58のゲート電極に上記差動増幅回路103の出力Vbが供給されるように配線接続されている。この第1のソースフォロア回路104の出力は両トランジスタTr58及びTr59の共通接点dから出力端子φoutを通じて取り出されるようになっている。

【0010】第2のソースフォロア回路105は、電源ラインと接地間にエンハンスメント型PMOSトランジスタによる駆動トランジスタTr60と負荷トランジスタTr61とが直列に接続されて構成され、駆動トランジスタTr60のゲート電極に上記第1のソースフォロア回路104の出力（撮像信号S）が供給されるように配線接続されている。この第2のソースフォロア回路105の出力Vcは両トランジスタTr60及びTr61の共通接点eから取り出されて上記差動増幅回路103の出力側のNMOSトランジスタTr56に供給されるように配線接続されている。

【0011】そして、差動増幅回路103の定電流源107を構成するNMOSトランジスタTr57及び第1の

ソースフォロア回路104における負荷トランジスタTr59の各ゲート電極には、それぞれ第1のゲート電位V_{gg1}(固定)が供給され、初段のソースフォロア回路101における負荷トランジスタTr52及び第2のソースフォロア回路105における負荷トランジスタTr61の各ゲート電極には、それぞれ第2のゲート電位V_{gg2}(固定)が印加されるように配線接続されている。

【0012】第1のゲート電位V_{gg1}は、図19に示すように、電源ラインと接地間に直列に接続された2つのエンハンスメント型NMOSTランジスタTr62及びTr63による抵抗分圧にて生成されるようになっている。これら2つのNMOSTランジスタTr62及びTr63はそれぞれゲート電極とドレインとが短絡されて負荷ダイオードとして機能している。

【0013】第2のゲート電位V_{gg2}は、図20に示すように、電源ラインと接地間に直列に接続された2つのエンハンスメント型PMOSTランジスタTr64及びTr65による抵抗分圧にて生成されるようになっている。これら2つPMOSTランジスタTr64及びTr65はそれぞれゲート電極とドレインとが短絡されて負荷ダイオードとして機能している。

【0014】

【発明が解決しようとする課題】このように、従来の増幅回路においては、差動増幅回路の定電流源やソースフォロア回路の負荷トランジスタにそれぞれ固定電位を供給することによって、入力信号を増幅するようにしている。

【0015】図18で示す増幅回路は、特にイメージセンサから出力される電圧信号V_iを増幅するための増幅回路ではあるが、各種電子機器に組み込まれる増幅回路は、初段に定電流源を有する差動増幅回路が接続された演算増幅器にて構成される場合がほとんどである。これは、理想的な演算増幅器を例に挙げると、①増幅度が無限大であること、②帯域幅がDCから無限大周波数までであること、③入力インピーダンスが無限大であること、④出力インピーダンスがゼロであること、⑤雑音がなく、入力がゼロのとき出力もゼロになること、⑥深い負帰還が安定にかけられることなど、種々の利点があるからである。

【0016】上記演算増幅器による増幅回路は、ビデオカメラや携帯電話などの携帯用の電子機器のほか、VT-Rやカラーテレビジョンなどの据置型の電子機器など種々の電子機器に使用されている。

【0017】そして、例えばイメージセンサが組み込まれたビデオカメラにおいて、非動作時の消費電力をより小さくするためには、イメージセンサの出力回路や各種信号処理系に接続される外部電源を例えばスイッチング動作にて遮断することにより、イメージセンサの出力回路並びに信号処理系が完全に動かないようにすることにより可能となる。

【0018】しかし、外部電源を遮断した場合、次の動作時において外部電源を再度スイッチング動作によって接続するわけだが、この場合、外部電源を通じて供給される電源電圧が安定するまで待たなければならない上に、電源電圧が安定した後において行なわれるイメージセンサや各種信号処理系のセットアップ等が完了するまで待たなければならないという問題がある。

【0019】このように、従来のイメージセンサや、該イメージセンサと出力回路を組み込んだビデオカメラ、並びに信号増幅段に演算増幅器を用いた各種電子機器においては、非動作時の消費電力を低減するために外部電源を遮断するようにしているが、その後の動作時において、安定に動作が行なわれるまでに待機時間が必要となり、瞬時の使用に適さないという問題がある。この問題は、消費電力の低減化が急速に進みつつあるビデオカメラや携帯電話等のような携帯用の電子機器において、操作性の向上を図る上で大きなネックになる可能性がある。

【0020】本発明は、上記の課題に鑑みてなされたもので、その目的とするところは、外部電源を遮断することなく、消費電力の低減化を有効に図ることができ、次の動作に対して迅速に対応させることができる固体撮像装置を提供することにある。

【0021】また、本発明の他の目的は、外部電源を遮断することなく固体撮像装置を選択的に非動作モードにすることができ、消費電力の低減化を図ることができると共に固体撮像装置を迅速に動作モードへ移行させることができる固体撮像装置の出力回路を提供することにある。

【0022】また、本発明の他の目的は、外部電源を遮断することなく増幅段を非動作モードにすることができ、増幅回路を用いた各種電子機器の消費電力の低減化を図ることができると共に、電子機器を迅速に動作モードへ移行させることができる増幅回路を提供することにある。

【0023】また、本発明の他の目的は、外部電源を遮断することなく機器自体を非動作モードにすることができ、動作要求時に迅速に動作モードに移行させることができると共に、機器自体の低消費電力化を有効に図ることができる電子機器を提供することにある。

【0024】

【課題を解決するための手段】本発明に係る固体撮像装置は、被写体からの入射光をその光量に応じた量の信号電荷に変換する光電変換部が多数配列された撮像部と、上記撮像部に蓄積された上記信号電荷を出力側に転送する転送レジスタと、上記転送レジスタを通じて転送された上記信号電荷をその電荷量に応じたレベルの電気信号に変換して出力する出力回路とが同一基板上に形成された固体撮像装置において、上記出力回路に、少なくとも定電流源を有する一つの増幅段と、上記増幅段の定電流

源に流れる電流を制御する制御手段とを設けて構成する。

【0025】これにより、まず、被写体からの光が撮像部に入射されることにより、該撮像部に配列された各光電変換部にてその入射光量に応じた量の信号電荷に変換される。撮像部に蓄積された信号電荷は、転送レジスタによる転送動作によって出力回路側に順次転送される。

【0026】出力回路は、転送レジスタを通じて転送された信号電荷をその電荷量に応じたレベルの電気信号に変換する。そして、同一基板上に固体撮像素子と共に形成された定電流源を有する増幅段において上記電気信号が所定のゲインにて増幅されて外部に出力されることとなる。

【0027】上記増幅段は、制御手段によってその定電流源に流れる電流が制御される。即ち、定電流源に流れる電流が変化されることによって、この増幅段から出力される増幅信号のレベルが変化し、入力信号に対する増幅信号のゲインが変化することとなる。これによって、この出力回路から出力される信号のダイナミックレンジを外部回路の入力ダイナミックレンジに整合させることが可能となり、出力回路から出力される電気信号のレベルを有効に外部回路に伝達させることができ、固体撮像装置の感度を高めることが可能となる。

【0028】そして、固体撮像装置の非動作モード（動作停止状態）においては、増幅段の定電流源に流れる電流が制御手段による電流制御にて遮断される。この場合、外部電源が接続された状態であっても、増幅段には入力信号の増幅に寄与する電流が流れなくなるため、この増幅段は実質的に動作停止状態となり、出力回路全体の回路動作が停止したものと等価になる。

【0029】その後、再度動作モードに入る場合は、制御手段によって上記増幅段の定電流源に電流を流すように制御することにより、再び上記増幅段には入力信号の増幅に寄与する電流が流れることとなり、増幅段での入力信号に対する増幅動作が再開されることとなる。この場合、外部電源が接続された状態であるため、外部電源電圧が安定するまで、並びに素子自体のセットアップ等が完了するまで待つ必要はなく、固体撮像装置は迅速に動作モードと入ることとなる。

【0030】このように、本発明に係る固体撮像装置は、通常の動作モードにおいては、制御手段によって増幅段の定電流源に流れる電流を制御することによって、出力信号のダイナミックレンジを外部回路の入力ダイナミックレンジに合わせ込むことができ、非動作モードにおいては、制御手段によって増幅段の定電流源に流れる電流を遮断することにより、外部電源を接続した状態で出力回路自体の回路動作を停止状態にすることが可能となる。

【0031】その結果、外部電源を遮断することなく、消費電力の低減化を有効に図ることができ、次の動作に

対して迅速に対応させることができる。

【0032】次に、本発明に係る固体撮像装置の出力回路は、被写体からの入射光をその光量に応じた量の信号電荷に変換する光電変換部が多数配列された撮像部と、上記撮像部に蓄積された上記信号電荷を出力側に転送する転送レジスタとを有する固体撮像素子と共に同一基板上に形成されるもので、上記転送レジスタを通じて転送された上記信号電荷をその電荷量に応じたレベルの電気信号に変換して出力する固体撮像装置の出力回路において、少なくとも定電流源を有する一つの増幅段と、上記増幅段の定電流源に流れる電流を制御する制御手段とを設けて構成する。

【0033】この出力回路においては、上述したように、固体撮像装置の通常の動作モードにおいては、制御手段によって増幅段の定電流源に流れる電流を制御することによって、出力信号のダイナミックレンジを外部回路の入力ダイナミックレンジに合わせ込むことができる。

【0034】一方、非動作モードにおいては、制御手段によって増幅段の定電流源に流れる電流を遮断することにより、外部電源を接続した状態で出力回路自体の回路動作を停止状態にすることが可能となる。

【0035】その結果、外部電源を遮断することなく固体撮像装置を選択的に非動作モードにすることができ、消費電力の低減化を図ることができると共に固体撮像装置を迅速に動作モードへ移行させることができる。

【0036】次に、本発明に係る増幅回路は、少なくとも定電流源を有し、かつ入力信号を所定のゲインにて増幅する増幅段と、上記定電流源に流れる電流を制御する制御手段を設けて構成する。

【0037】これにより、まず、増幅段は、制御手段によってその定電流源に流れる電流が制御される。即ち、定電流源に流れる電流が変化されることによって、この増幅段から出力される増幅信号のレベルが変化し、入力信号に対する増幅信号のゲインが変化することとなる。これによって、この増幅回路から出力される信号のダイナミックレンジを次段回路の入力ダイナミックレンジに整合させることが可能となり、該増幅回路から出力される電気信号のレベルを有効に次段回路に伝達させることができる。

【0038】そして、増幅回路の非動作モード（動作停止状態）においては、増幅段の定電流源に流れる電流が制御手段による電流制御にて遮断される。この場合、外部電源が接続された状態であっても、増幅段には入力信号の増幅に寄与する電流が流れなくなるため、この増幅段は実質的に動作停止状態となり、この増幅回路が組み込まれた電子機器の回路動作が停止したものと等価になる。

【0039】その後、再度動作モードに入る場合は、制御手段によって上記増幅段の定電流源に電流を流すよ

うに制御することにより、再び上記増幅段には入力信号の増幅に寄与する電流が流れることとなり、増幅段での入力信号に対する増幅動作が再開されることとなる。この場合、外部電源が接続された状態であるため、外部電源電圧が安定するまで、並びに増幅回路が組み込まれた電子機器のセットアップ等が完了するまで待つ必要はなく、この増幅回路が組み込まれた電子機器は迅速に動作モードと入ることとなる。

【0040】このように、本発明に係る増幅回路は、通常の動作モードにおいては、制御手段によって増幅段の定電流源に流れる電流を制御することによって、出力信号のダイナミックレンジを次段回路の入力ダイナミックレンジに合わせ込むことができ、非動作モードにおいては、制御手段によって増幅段の定電流源に流れる電流を遮断することにより、外部電源を接続した状態でこの増幅回路が組み込まれた電子機器の信号処理動作を停止状態にすることが可能となる。

【0041】その結果、外部電源を遮断することなく増幅段を非動作モードにすることができ、増幅回路を用いた各種電子機器の消費電力の低減化を図ることができると共に、電子機器を迅速に動作モードへ移行させることができる。

【0042】次に、本発明に係る電子機器は、少なくとも定電流源を有し、かつ入力信号を所定のゲインにて増幅する増幅段が接続された信号処理系を具備した電子機器において、上記増幅段の定電流源に流れる電流を制御する制御手段を設けて構成する。

【0043】これにより、まず、信号処理系における増幅段は、制御手段によってその定電流源に流れる電流が制御される。即ち、定電流源に流れる電流が変化されることによって、この増幅段から出力される増幅信号のレベルが変化し、入力信号に対する増幅信号のゲインが変化することとなる。これによって、この増幅段から出力される信号のダイナミックレンジを次段回路の入力ダイナミックレンジに整合させることが可能となり、該増幅段から出力される電気信号のレベルを有効に次段回路に伝達させることができる。

【0044】そして、信号処理系の非動作モード（動作停止状態）においては、増幅段の定電流源に流れる電流が制御手段による電流制御にて遮断される。この場合、外部電源が接続された状態であっても、増幅段には入力信号の増幅に寄与する電流が流れなくなるため、この増幅段は実質的に動作停止状態となり、信号処理系全体の回路動作が停止したことと等価になる。

【0045】その後、再度動作モードに入る場合は、制御手段によって上記増幅段の定電流源に電流を流すように制御することにより、再び上記増幅段には入力信号の増幅に寄与する電流が流れることとなり、増幅段での入力信号に対する増幅動作が再開されることとなる。この場合、外部電源が接続された状態であるため、外部電

源電圧が安定するまで、並びに信号処理系が組み込まれた電子機器のセットアップ等が完了するまで待つ必要はなく、この信号処理系が組み込まれた電子機器は迅速に動作モードと入ることとなる。

【0046】このように、本発明に係る電子機器は、通常の動作モードにおいては、制御手段によって信号処理系における増幅段の定電流源に流れる電流を制御することによって、出力信号のダイナミックレンジを次段回路の入力ダイナミックレンジに合わせ込むことができ、非動作モードにおいては、制御手段によって上記増幅段の定電流源に流れる電流を遮断することにより、外部電源を接続した状態でこの信号処理系が組み込まれた電子機器の信号処理動作を停止状態にすることが可能となる。

【0047】その結果、外部電源を遮断することなく電子機器自体を非動作モードにすることができ、動作要求時に迅速に動作モードに移行させることができると共に、電子機器自体の低消費電力化を有効に図ることができる。

【0048】

【発明の実施の形態】以下、本発明に係る固体撮像装置を例えばインターライン転送（IT）方式のイメージセンサが組み込まれた撮像デバイス（IC）に適用した実施の形態例（以下、単に実施の形態に係る撮像デバイスと記す）を図1～図13を参照しながら説明する。

【0049】この撮像デバイス1は、図1に示すように、各種のパルス信号を発生するパルス発生回路2と、イメージセンサ3と、出力回路4とが同一基板上に形成されて構成されるものである。この撮像デバイス1においては、上記パルス発生回路2、イメージセンサ3及び出力回路4に対して電源ラインLp（電源電圧Vdd）と接地ラインLg（接地電位Vss）が配線される。

【0050】パルス発生回路2は、外部から結合キャパシタCを介して入力された基準クロックPcに基づいてイメージセンサ3を駆動させるための転送パルス群や出力回路4の動作タイミングを決定させるための駆動パルス群を生成して出力する。

【0051】イメージセンサ3は、図2に示すように、入射光量に応じた量の電荷に光電変換する受光部11が多数マトリクス状に配され、更にこれら多数の受光部11のうち、列方向に配列された受光部11に対して共通とされた垂直転送レジスタ12が多数本、行方向に配列されたイメージ部（撮像部）13を有する。

【0052】また、上記イメージ部13に隣接し、かつ多数本の垂直転送レジスタ12に対して共通とされた水平転送レジスタ14が1本並設されている。

【0053】そして、イメージ部13と水平転送レジスタ14間には、イメージ部13における垂直転送レジスタ12の最終段に転送された信号電荷を水平転送レジスタ14に転送するための2つの垂直－水平転送レジスタVH1及びVH2が多数の垂直転送レジスタ12に対し

て共通に、かつそれぞれ並列に形成されている。これら2本の垂直-水平転送レジスタVH1及びVH2には、パルス発生回路2からそれぞれ垂直-水平転送パルスφVH1及びφVH2が供給されるようになっており、これら転送パルスφVH1及びφVH2の供給によって、垂直転送レジスタ12からの信号電荷が水平転送レジスタ14に転送されることになる。

【0054】また、上記水平転送レジスタ14の最終段には、出力部15が接続されている。この出力部15は、水平転送レジスタ14の最終段から転送されてきた信号電荷を電気信号（例えば電圧信号Vi）に変換する例えばフローティング・ディフュージョンあるいはフローティング・ゲート等で構成される電荷-電気信号変換部16と、この電荷-電気信号変換部16にて電圧信号Viへの変換が行われた後の信号電荷を、リセットパルスφRGの入力に従ってドレイン領域Dに掃き捨てるリセットゲートRGとを有して構成されている。なお、ドレイン領域Dには電源ラインLpを通じて電源電圧Vddが印加されている。

【0055】出力回路4は、上記イメージセンサ3における電荷-電気信号変換部16からの電圧信号Viを所定のゲインにて増幅する増幅回路を有して構成されている。

【0056】そして、パルス発生回路2から出力される垂直転送パルスφV1〜φV4がイメージセンサ3のイメージ部13に供給されることにより、イメージ部13における各垂直転送電極下のポテンシャル分布が順次変化し、これによって、信号電荷がそれぞれイメージ部13における垂直転送レジスタ12に沿って縦方向（水平転送レジスタ14側）に転送されることになる。

【0057】また、イメージ部13においては、受光部11に蓄積されている信号電荷を垂直帰線期間において、まず、垂直転送レジスタ12に読出し、その後の水平帰線期間において1行単位に水平転送レジスタ14側に転送する。これによって、垂直転送レジスタ12の最終段にあった信号電荷は、2つの垂直-水平転送レジスタVH1及びVH2を経て水平転送レジスタ14に転送される。

【0058】次の水平走査期間において、水平転送レジスタ14上に形成された例えば2層の多結晶シリコン層による水平転送電極への互いに位相の異なる2相の水平転送パルスφH1及びφH2（パルス発生回路2から出力される）の印加によって、信号電荷が順次出力部15側の電荷-電気信号変換部16に転送され、この電荷-電気信号変換部16において電圧信号Viに変換されて、出力回路4における増幅回路を通じてその出力端子φoutより撮像信号Sとして取り出されることになる。

【0059】次に、本実施の形態に係る撮像デバイス1に組み込まれる出力回路4の具体的構成例を図3〜図1

3を参照しながら説明する。

【0060】この出力回路4は、図3に示すように、電荷-電気信号変換部16からの電圧信号Viを所定のゲイン（≒1）で増幅する初段のソースフォロア回路21と、該初段のソースフォロア21の出力Va中、イメージセンサ3の出力部15におけるリセットパルスφRGのカップリング成分を除去する差動回路22と、差動回路22からの出力Vbを所定のゲイン（≒1）で増幅して撮像信号Sとして出力するボルテージフォロア回路23と、所定回路に第1のゲート電位Vgg1を選択的に供給する第1のゲート電位生成回路24と、別の所定回路に第2のゲート電位Vggを選択的に供給する第2のゲート電位生成回路25が接続されて構成されている。

【0061】上記ボルテージフォロア回路23は、カレントミラー回路を用いた差動増幅回路31と、該差動増幅回路31の出力Vcを所定のゲイン（≒1）で増幅して撮像信号Sとして出力端子φoutより出力する第1のソースフォロア回路32と、該第1のソースフォロア回路32の出力（撮像信号S）を所定のゲイン（≒1）で増幅して電圧信号Vdとして上記差動増幅回路31に帰還させる第2のソースフォロア回路33とが接続されて構成されている。

【0062】上記初段のソースフォロア回路21は、電源ラインLp（電源電圧Vdd）と接地間に、エンハンスメント型NMOSトランジスタによる駆動トランジスタTr1と負荷トランジスタTr2とが直列に接続されて構成され、駆動トランジスタTr1のゲート電極にイメージセンサ3における電荷-電気信号変換部16からの電圧信号Viが供給されるように配線接続されている。このソースフォロア回路21の出力Vaは両トランジスタTr1及びTr2の共通接点aから取り出されるようになっている。

【0063】上記差動回路22は、電源ラインLpと接地間にエンハンスメント型NMOSトランジスタによる正入力側トランジスタTr3と負入力側トランジスタTr4とが直列に接続されて構成され、正入力側トランジスタTr3のゲート電極に上記初段のソースフォロア回路21の出力Vaが供給され、負入力側トランジスタTr4のゲート電極にパルス発生回路2からのパルス信号Vref（リセットパルスφRGの出力タイミングに同期した所定振幅のパルス信号）が選択的に供給されるように配線接続されている。この差動回路22の出力Vbは両トランジスタTr3及びTr4の共通接点bを通じて取り出されるようになっている。

【0064】上記ボルテージフォロア回路23における差動増幅回路31は、電源ラインLpに2つのエンハンスメント型PMOSトランジスタTr5及びTr6の各ドレインが共通に接続されて構成されたカレントミラー回路41と、該カレントミラー回路41の一方のPMOSトランジスタTr5のソースに直列に接続され、かつ

ゲート電極に上記差動回路22の出力V_bが供給される入力側のエンハンスメント型NMOSトランジスタTr7と、カレントミラー回路41の他方のPMOSトランジスタTr6のソースに直列に接続され、かつゲート電極に第2のソースフォロア回路33の出力V_dが供給される出力側のエンハンスメント型NMOSトランジスタTr8と、これらNMOSトランジスタTr7及びTr8における各エミッタの共通接点cと接地間にエンハンスメント型NMOSトランジスタTr9による定電流源42とを有して構成されている。この差動増幅回路31の出力V_cは、カレントミラー回路41の他方のPMOSトランジスタTr6と出力側のNMOSトランジスタTr8との接続点dより取り出されるようになっている。

【0065】第1のソースフォロア回路32は、電源ラインL_pと接地間にエンハンスメント型NMOSトランジスタによる駆動トランジスタTr10と負荷トランジスタTr11とが直列に接続されて構成され、駆動トランジスタTr10のゲート電極に上記差動増幅回路31の出力V_cが供給されるように配線接続されている。この第1のソースフォロア回路32の出力（撮像信号S）は両トランジスタTr10及びTr11の共通接点eから出力端子φ_{out}を通じて取り出されるようになっている。

【0066】第2のソースフォロア回路33は、電源ラインL_pと接地間にエンハンスメント型PMOSトランジスタによる駆動トランジスタTr12と負荷トランジスタTr13とが直列に接続されて構成され、駆動トランジスタTr12のゲート電極に上記第1のソースフォロア回路32の出力（撮像信号S）が供給されるように配線接続されている。この第2のソースフォロア回路33の出力V_dは両トランジスタTr12及びTr13の共通接点fから取り出されて上記差動増幅回路31における出力側のNMOSトランジスタTr8のゲート電極に供給されるように配線接続されている。

【0067】そして、初段のソースフォロア回路21の負荷トランジスタTr2、差動増幅回路31の定電流源42を構成するNMOSトランジスタTr9及び第1のソースフォロア回路32における負荷トランジスタTr11の各ゲート電極には、第1のゲート電位生成回路24からの第1のゲート電位V_{gg1}がそれぞれ選択的に供給され、第2のソースフォロア回路33における負荷トランジスタTr13のゲート電極には、第2のゲート電位生成回路25からの第2のゲート電位V_{gg2}が選択的に供給されるように配線接続されている。

【0068】第1のゲート電位生成回路24は、電源ラインL_pと接地間に直列に接続された2つのエンハンスメント型NMOSトランジスタTr14及びTr15による抵抗分圧回路51と、該抵抗分圧回路51からの第1のゲート電位V_{gg}と接地電位V_{ss}とを選択的に切り換えるスイッチング回路52が接続されて構成されてい

る。なお、抵抗分圧回路51を構成する2つのNMOSトランジスタTr14及びTr15はそれぞれゲート電極とドレインとが短絡されて負荷ダイオードとして機能している。

【0069】第2のゲート電位生成回路25は、電源ラインL_pと接地間に直列に接続された2つのエンハンスメント型PMOSトランジスタTr16及びTr17による抵抗分圧回路53と、該抵抗分圧回路53からの第2のゲート電位V_{gg2}と接地電位V_{ss}とを選択的に切り換えるスイッチング回路54が接続されて構成されている。なお、上記抵抗分圧回路53を構成する2つPMOSトランジスタTr16及びTr17はそれぞれゲート電極とドレインとが短絡されて負荷ダイオードとして機能している。

【0070】ところで、上記差動回路22に対して印加されるパルス信号V_{ref}は、イメージセンサ3の出力部15におけるリセットゲートRGに印加されるリセットパルスφ_{RG}の出力タイミングに同期し、かつ該リセットパルスφ_{RG}によるカップリング電位に相当する振幅のパルス信号とされている。また、このパルス信号V_{ref}の供給経路には、パルス発生回路2からの上記パルス信号V_{ref}と接地電位V_{ss}とを選択的に切り換えるスイッチング回路55が接続されている。

【0071】第1のゲート電位生成回路24におけるスイッチング回路52は、例えば図4に示すように、図示しないシステムコントローラからのスイッチング制御信号SWが供給される入力端子φ_{si}に互いに直列に接続された2つのCMOSインバータ（第1及び第2のCMOSインバータ61及び62）と、2つのアナログスイッチ（第1及び第2のアナログスイッチ63及び64）にて構成される。

【0072】システムコントローラは、この本実施の形態に係る撮像デバイス1が組み込まれる例えばビデオカメラの信号処理系及び駆動系を制御するコントローラである。

【0073】ここで、上記システムコントローラの処理動作をスイッチング制御信号SWの出力処理について言及して説明すると、まず、ビデオカメラに対して通常の動作モードを選択している場合、即ち、例えば被写体を撮像（撮影）している場合においては、このシステムコントローラから高レベルのスイッチング制御信号SWが出力されることになる。

【0074】一方、このシステムコントローラにインターフェース回路を通じて接続されている操作パネルの操作キーのうち、パワーセーブモードを選択するための操作キーを操作者が操作したとき、又は操作者が各種操作キーへの操作を所定時間行なわないことに基づく内部タイマーからのタイムアップを示す内部割込み信号が入力されたときは、このシステムコントローラから低レベルのスイッチング制御信号SWが出力されることになる。

【0075】つまり、上記システムコントローラから出力されるスイッチング制御信号SWは、通常の動作モードにおいては高レベルとなり、パワーセーブモードにおいては低レベルとなる。

【0076】そして、上記第1のゲート電位生成回路24におけるスイッチング回路52の第1のアナログスイッチ63は、ゲート電極に第1のCMOSインバータ61の出力電位が供給されるエンハンスメント形PMOSトランジスタTr21と、ゲート電極に第2のCMOSインバータ62の出力電位が供給されるエンハンスメント形NMOSトランジスタTr22とを有し、かつ各トランジスタTr21及びTr22の互いのソース及びドレインがそれぞれ共通とされて構成されており、各トランジスタTr21及びTr22の共通のドレインには抵抗分圧回路51からの第1のゲート電位V_{gg1}が印加されるように配線接続されている。

【0077】第2のアナログスイッチ64は、ゲート電極に第1のCMOSインバータ61の出力電位が供給されるエンハンスメント形NMOSトランジスタTr23と、ゲート電極に第2のCMOSインバータ62からの出力電位が供給されるエンハンスメント型PMOSトランジスタTr24とを有し、かつ各トランジスタTr23及びTr24の互いのソース及びドレインがそれぞれ共通とされて構成されており、各トランジスタTr23及びTr24の共通のドレインには接地電位V_{ss}が印加されるように配線接続されている。

【0078】従って、システムコントローラから供給されるスイッチング制御信号SWが高レベルである期間（通常の動作モードの期間）においては、第1のアナログスイッチ63のPMOSトランジスタTr21及び第2のアナログスイッチ64のNMOSトランジスタTr23における各ゲート電極に第1のCMOSインバータ61からの低レベルの出力電圧が印加され、第1のアナログスイッチ63のNMOSトランジスタTr22及び第2のアナログスイッチ64のPMOSトランジスタTr24における各ゲート電極に第2のCMOSインバータ62からの高レベルの出力電圧が印加されることから、この場合、第1のアナログスイッチ63のみがオンとなり、このスイッチング回路52の出力端子φ_{so}からは、抵抗分圧回路51からの第1のゲート電位V_{gg1}が出力されることになる。

【0079】一方、システムコントローラから供給されるスイッチング制御信号SWが低レベルである期間（パワーセーブモード）においては、上記とは反対に第2のアナログスイッチ64のみがオンとなり、出力端子φ_{so}からは接地電位V_{ss}が出力されることになる。

【0080】差動回路22に接続されているスイッチング回路55は、図5に示すように、上記図4にて示した第1のゲート電位生成回路24におけるスイッチング回路52とほぼ同じ構成を有するが、第1のアナログスイ

ッチ63の共通のドレインにパルス発生回路2からのパルス信号V_{ref}が供給される点で異なる。

【0081】従って、システムコントローラから供給されるスイッチング制御信号SWが高レベルである期間（通常の動作モード）においては、第1のアナログスイッチ63のみがオンとなり、出力端子φ_{so}からはパルス発生回路2からのパルス信号V_{ref}が出力されることになる。一方、システムコントローラから供給されるスイッチング制御信号SWが低レベルである期間（パワーセーブモード）においては、上記とは反対に第2のアナログスイッチ64のみがオンとなり、出力端子φ_{so}からは接地電位V_{ss}が出力されることになる。

【0082】第2のゲート電位生成回路25におけるスイッチング回路54は、例えば図6に示すように、上記図4にて示した第1のゲート電位生成回路24におけるスイッチング回路52とほぼ同じ構成を有するが、第1のアナログスイッチ63の共通のドレインに抵抗分圧回路53からの第2のゲート電位V_{gg2}が供給され、第2のアナログスイッチ64の共通のドレインに電源電圧V_{dd}が供給される点で異なる。

【0083】従って、システムコントローラから供給されるスイッチング制御信号SWが高レベルである期間（通常の動作モード）においては、第1のアナログスイッチ63のみがオンとなり、出力端子φ_{so}からは抵抗分圧回路53からの第2のゲート電位V_{gg2}が出力されることになる。一方、システムコントローラから供給されるスイッチング制御信号SWが低レベルである期間（パワーセーブモード）においては、上記とは反対に第2のアナログスイッチ64のみがオンとなり、出力端子φ_{so}からは電源電圧V_{dd}が出力されることになる。

【0084】次に、上記出力回路4を構成する各回路の信号処理動作を図7～図13を参照しながら順次説明する。

【0085】まず、初段のソースフォロア回路21は、図7に示すように、通常の動作モードにおいては、負荷トランジスタTr2のゲート電極にスイッチング回路52を通じて第1のゲート電位V_{gg1}が印加されることから、一般的なソースフォロア回路における回路動作が行われ、イメージセンサ3の出力部5における電荷－電気信号変換部16からの電圧信号V_iが所定ゲイン（≒1）にて増幅されて出力信号V_aとして出力端子φ1より出力される。

【0086】パワーセーブモードにおいては、負荷トランジスタTr2のゲート電極にスイッチング回路52の切換え動作によって接地電位V_{ss}が印加されることから、該負荷トランジスタTr2はオフ状態となる。そのため、出力端子φ1に例えばMOSトランジスタのゲート電極が接続されている場合などにおいては、該出力端子φ1には電源電圧V_{dd}が現れることになるが、ドレイン電流は流れないため、電力の消費は実質的にないも

のとなる。

【0087】次に、差動回路22は、図8に示すように、通常の動作モードにおいては、負入力側トランジスタTr4のゲート電極にスイッチング回路55を通じてパルス発生回路2からのパルス信号Vrefが印加されることから、該パルス信号Vrefと正入力側トランジスタTr3のゲート電極に印加されている初段のソースフォロア回路21からの出力信号Vin（イメージセンサ3における電荷-電気信号変換部16からの電圧信号Viと等価な信号）との差分Vbが出力端子φ2より出力されることになる。

【0088】この場合、上記パルス信号Vrefは、図9に示すように、初段のソースフォロア回路21からの出力信号Vaにおけるカップリング成分の出力タイミングに同期したパルス波形とされ、具体的には、カップリング成分の出力期間tcに対応して高レベル、フィードスルー期間から信号成分の出力期間tsにかけて低レベルとされたパルス波形とされている。

【0089】従って、上記差動回路22にて両信号Va及びVrefの差分がとられることにより、この差動回路22の出力端子φ2からは、初段のソースフォロア回路21からの出力信号Vaからカップリング成分のみがパルス信号Vrefの高レベル成分によって打ち消された波形の信号Vbが出力されることになる。

$$V_{in} = V_T \cdot \ln I_1 \quad \dots\dots (1)$$

$$V_{out} = V_T \cdot \ln I_2 \quad \dots\dots (2)$$

なお、 $I_1 = (I_E + \Delta I) / 2$ 、 $I_2 = (I_E - \Delta I) / 2$ 、 $V_T = kT/q$ （熱電圧）である。

【0094】従って、入力電圧Vinと出力電圧Voutとの電位差ΔVは、

$$\begin{aligned} \Delta V / V_T &= \ln (I_E + \Delta I) / 2 - \ln (I_E - \Delta I) / 2 \\ &= \ln (I_E + \Delta I) - \ln (I_E - \Delta I) \end{aligned}$$

であるから、 $|\Delta I| \ll I_E$ として展開すると、

$$\begin{aligned} \Delta V / V_T &= [\ln I_E + \Delta I / I_E] - [\ln I_E - \Delta I / I_E] \\ &= 2\Delta I / I_E \end{aligned}$$

となる。これから、

$$\Delta I = (I_E / 2V_T) \cdot \Delta V \quad \dots\dots (3)$$

という関係が成立する。

【0096】そして、通常の動作モードにおいては、定電流源42を構成するNMOSTランジスタTr9のゲート電極にスイッチング回路52を通じて第1のゲート電位Vgg1が印加されることから、定電流源42に流れる電流IEと上記電位差ΔV（入力電圧Vinと出力電圧Voutとの電位差）にて決定される出力電圧Vout（（2）式参照）が出力端子φoutに現れ、出力電流ΔI（（3）式参照）が出力端子φoutから次段に流出することになる。

【0097】一方、パワーセーブモードにおいては、上記定電流源42を構成するNMOSTランジスタTr9のゲート電極にスイッチング回路52の切換え動作によ

【0090】一方、パワーセーブモードにおいては、負入力側トランジスタTr4のゲート電極にスイッチング回路55の切換え動作によって接地電位Vssが印加されることから、該負入力側トランジスタTr4はオフ状態となる。そのため、出力端子φ2に例えばMOSTランジスタのゲート電極が接続されている場合などにおいては、該出力端子φ2には電源電圧Vddが現れることになるが、ドレイン電流は流れないため、電力の消費は実質的にないものとなる。

【0091】次に、ボルテージフォロア回路23については、第1及び第2のソースフォロア回路32及び33が共に入力信号をゲイン（≒1）にて増幅するバッファとして機能しているため、このボルテージフォロア回路23は、図10に示す回路と等価となる。

【0092】ここで、図10に示すボルテージフォロア回路23の入力端子φinに供給される入力電圧（=Vb）をVin、出力端子φoutからの出力電圧（=撮像信号S）をVout、入力側トランジスタTr7のエミッタ電流をI1、出力側トランジスタTr8のエミッタ電流をI2、定電流源42に流れる電流をIE、出力端子φout側に流れる電流をΔIとしたとき、これら入力電圧Vin及び出力電圧Voutは、以下の関係となる。

【0093】

$$\Delta V = V_T [\ln I_1 - \ln I_2]$$

である。

【0095】また、出力端子φoutに流れる電流ΔIと上記電位差ΔVとの関係については、まず、

って接地電位Vssが印加されて、該NMOSTランジスタTr9がオフ状態となるため、定電流源42には電流IEは流れず（即ち、IE=0）、上記（3）式により出力端子φoutから電流ΔIは流れないこととなる。従って、このパワーセーブモードにおいては、電力の消費は実質的にないものとなる。

【0098】次に、第1のソースフォロア回路32は、図11に示すように、初段のソースフォロア回路21と同様に、通常の動作モードにおいては、負荷トランジスタTr11のゲート電極にスイッチング回路52を通じて第1のゲート電位Vgg1が印加されることから、一般的なソースフォロア回路における回路動作が行われ、差動増幅回路31からの出力Vcを所定ゲイン（≒

1)にて増幅して撮像信号Sとして出力端子 ϕout より出力する。

【0099】パワーセーブモードにおいては、負荷トランジスタTr11のゲート電極にスイッチング回路52の切換え動作によって接地電位Vssが印加されることから、該負荷トランジスタTr11はオフ状態となる。そのため、出力端子 ϕout には電源電圧Vddが現れることになるが、ドレイン電流は流れないため、電力の消費は実質的にないものとなる。

【0100】次に、第2のソースフォロア回路33は、図12に示すように、通常の動作モードにおいては、負荷トランジスタTr13のゲート電極にスイッチング回路54を通じて第2のゲート電位Vgg2が印加されることから、一般的なソースフォロア回路における回路動作が行なわれ、第1のソースフォロア回路32からの出力信号(撮像信号S)を所定ゲイン(=1)にて増幅して出力信号Vdとして出力端子 $\phi 3$ より出力する。この出力信号Vdは、前段の差動増幅回路31における出力側トランジスタTr8のゲート電極に供給される。

【0101】パワーセーブモードにおいては、負荷トランジスタTr13のゲート電極にスイッチング回路54の切換え動作によって電源電圧Vddが印加されることから、該負荷トランジスタTr13はオフ状態となる。これにより、出力端子 $\phi 3$ にドレイン電流は流れなくなるため、電力の消費は実質的にないものとなる。

【0102】このように、本実施の形態に係る撮像デバイスの出力回路4に組み込まれる出力回路4は、通常の動作モードにおいては、各ソースフォロア21、32及び33の負荷トランジスタTr2、Tr11及びTr13にそれぞれ第1及び第2のゲート電位Vgg1及びVgg2を印加し、差動回路22の負入力側トランジスタTr4にパルス信号Vrefを印加し、差動増幅回路31の定電流源42に第1のゲート電位Vgg1を供給するようにしたので、各回路において通常の回路動作が行なわれ、該出力回路4の出力端子 ϕout からはイメージセンサ3から出力された電圧信号Viの増幅信号(撮像信号S)が出力されることとなる。

【0103】一方、パワーセーブモードにおいては、各ソースフォロア21、32及び33の負荷トランジスタTr2、Tr11及びTr13にそれぞれ接地電位Vss及び電源電圧Vddを印加し、差動回路22の負入力側トランジスタTr4に接地電位Vssを印加し、差動増幅回路31の定電流源42に接地電位Vssを供給するようにしたので、各回路において信号増幅のための電流は流れなくなり、各回路での電力の消費は実質的になくなる。

【0104】従って、撮像デバイス1の非動作モード時に、外部電源(電源電圧Vdd)の接続を遮断して撮像デバイス1を動作停止状態にするのではなく、外部電源を接続した状態で、しかも電力の消費が実質的に行なわ

れない状態で動作停止状態にすることができるため、非動作モードから再び動作モードにした場合に、外部電源電圧Vddが安定するまで、並びにデバイス自体のセットアップ等が完了するまで待つ必要はなく、撮像デバイス1は迅速に動作モードと入ることとなる。

【0105】なお、上記実施の形態に係る撮像デバイス1、特に上記出力回路4においては、通常の動作モードにおいて定電流源42等に正規のゲート電位を与え、パワーセーブモードにおいて定電流源42等にその電流を遮断するに必要な電位を与えるようにしたが、その他、通常の動作モードにおいて定電流源42に与える電位を変化させて、該出力回路4から出力される撮像信号Sのダイナミックレンジを変化させるようにしてもよい。

【0106】この場合、例えば第1のゲート電位生成回路24についてみると、抵抗分圧回路51から種々の電位を有する第1のゲート電位Vgg1が生成されるように、例えば図13に示すように、電源ラインLpにそれぞれ抵抗値の異なる抵抗R1~R3を並列に接続し、各抵抗R1~R3の他端にスイッチング回路71の固定接点を接続し、該スイッチング回路71の可動接点と接地間に抵抗Rを接続して抵抗分圧回路51を構成する。そして、上記スイッチング回路71の可動接点から出力Vgg1を取り出すようにする。

【0107】上記スイッチング回路71の可動接点の制御は、例えば撮像デバイス1のテストモードにおいて、ビデオカメラの操作パネルに配された操作キーへの操作に基づいてシステムコントローラによって行なうようにしてもよい。このテストモードは、通常、オシロスコープ等を用いて撮像信号Sの波形を見ながら撮像デバイス1の特性を検査するが、この検査時において、出力回路4から出力される撮像信号Sのダイナミックレンジがビデオカメラの信号処理系の入力ダイナミックレンジに適合するように、操作パネルの操作キーを通じてスイッチング回路71の可動接点を切換え操作すればよい。

【0108】次に、本発明に係る増幅回路を各種電子機器の信号処理系に信号増幅用として組み込まれる演算増幅器に適用した実施の形態例(以下、単に実施の形態に係る増幅器と記す)について説明する。

【0109】この本実施の形態に係る増幅器は、特に初段に接続される差動増幅回路に特徴がある。従って、ここでは、本実施の形態に係る増幅器の初段の差動増幅回路のいくつかの構成例について図14~図17を参照しながら説明する。

【0110】まず、第1の構成例は、図14に示すように、2つのNPNトランジスタTr31及びTr32による差動増幅回路であり、この差動増幅回路は、正の電源ラインに2つの抵抗R1及びR2(但し、 $R1=R2$)がそれぞれ並列に接続され、一方の抵抗R1の他端に例えば正入力(入力1)側のNPNトランジスタTr31のコレクタが接続され、他方の抵抗R2の他端に負入力(入

力2)側のNPNトランジスタTr32のコレクタが接続されて構成されている。また、この差動増幅回路は、2つのNPNトランジスタTr31及びTr32の各エミッタが共通とされ、この共通接点gと負の電源ライン間にNPNトランジスタTr33による定電流源81が接続され、この定電流源81のゲート電極に所定のゲート電位Vgg1を選択的に供給するゲート電位生成回路82が接続されている。

【0111】この差動増幅回路の出力は、正入力側トランジスタTr31のコレクタと負入力側トランジスタTr32のコレクタからそれぞれ取り出されて、次段に供給されるようになっている。

【0112】上記ゲート電位生成回路82は、正の電源ラインと負の電源ライン間に直列に接続された2つの抵抗R11及びR12による抵抗分圧回路83と、該抵抗分圧回路83からのゲート電位Vgg1と負の電源電圧(-V)とを選択的に切り換えるスイッチング回路84が接続されて構成されている。このスイッチング回路84は、電子機器の各種回路を駆動制御する図示しないシステムコントローラからのスイッチング制御信号SWのレベルに従って上記ゲート電位Vgg1と負の電源電圧(-V)とを選択的に切替えるように構成されている。

【0113】そして、この差動増幅回路は、通常の動作モードにおいては、システムコントローラから例えば高レベルのスイッチング制御信号SWが出力されることから、ゲート電位生成回路82における抵抗分圧回路83からのゲート電位Vgg1がスイッチング回路84を通じて定電流源81に供給されることとなる。これにより、定電流源81には規定の定電流が流れ、この差動増幅回路は、通常の回路動作を行うこととなる。

【0114】一方、パワーセーブモードにおいては、システムコントローラから低レベルのスイッチング制御信号SWが出力されることから、上記スイッチング回路84を通じて負の電源電圧(-V)が出力され、定電流源81に供給されることとなる。これにより、定電流源81を構成するNPNトランジスタTr33はオフ状態となり、各入力側のトランジスタTr31及びTr32においてコレクタ電流(エミッタ電流)は流れなくなる。その結果、次段での電流消費が行なわれなくなり、この差動増幅回路を初段に持つ演算増幅器は動作停止状態とされ、電力の消費は実質的になくなる。

【0115】次に、第2の構成例は、2つのPNPトランジスタTr34及びTr35によって定電流源91が構成された差動増幅回路であり、この差動増幅回路は、正の電源ラインに正入力(入力1)側のNPNトランジスタTr36及び負入力(入力2)側のNPNトランジスタTr37の各コレクタが接続され、一方のNPNトランジスタTr36のエミッタに定電流源91を構成する一方のPNPトランジスタTr34のエミッタが接続され、他方のNPNトランジスタTr37のエミッタに定電流源91を

構成する他方のPNPトランジスタTr35のエミッタが接続され、各PNPトランジスタTr34及びTr35のコレクタと負の電源ライン間にそれぞれ抵抗R1及びR2(但し、 $R1=R2$)が接続されて構成されている。また、この差動増幅回路は、2つのPNPトランジスタTr34及びTr35の各ゲート電極が共通とされ、共通のゲート電極に所定のゲート電位Vgg2を選択的に供給するゲート電位生成回路92が接続されている。

【0116】この差動増幅回路の出力は、一方のPNPトランジスタTr34のコレクタと他方のPNPトランジスタTr35のコレクタからそれぞれ取り出されて、次段に供給されるようになっている。

【0117】上記ゲート電位生成回路92は、正の電源ラインと負の電源ライン間に直列に接続された2つの抵抗R13及びR14による抵抗分圧回路93と、該抵抗分圧回路93からのゲート電位Vgg2と正の電源電圧(+V)とを選択的に切り換えるスイッチング回路94が接続されて構成されている。このスイッチング回路94は、電子機器の各種回路を駆動制御する図示しないシステムコントローラからのスイッチング制御信号SWのレベルに従って上記ゲート電位Vgg2と正の電源電圧(+V)とを選択的に切替えるように構成されている。

【0118】そして、この差動増幅回路は、通常の動作モードにおいては、システムコントローラから例えば高レベルのスイッチング制御信号SWが出力されることから、ゲート電位生成回路92における抵抗分圧回路93からのゲート電位Vgg2がスイッチング回路94を通じて定電流源91を構成する2つのPNPトランジスタTr34及びTr35のゲート電極に供給されることとなる。これにより、各PNPトランジスタTr34及びTr35には規定のエミッタ電流が流れ、この差動増幅回路は、通常の回路動作を行うこととなる。

【0119】一方、パワーセーブモードにおいては、システムコントローラから低レベルのスイッチング制御信号SWが出力されることから、上記スイッチング回路94を通じて正の電源電圧(+V)が出力され、2つのPNPトランジスタTr34及びTr35の各ゲート電極に供給されることとなる。これにより、上記2つのPNPトランジスタTr34及びTr35はオフ状態となり、各入力側のトランジスタTr36及びTr37においてコレクタ電流(エミッタ電流)は流れなくなる。その結果、次段での電流消費が行なわれなくなり、この差動増幅回路を初段に持つ演算増幅器は動作停止状態とされ、電力の消費は実質的になくなる。

【0120】次に、第3の構成例は、図14で示す第1の構成例に係る差動増幅回路の正入力側にダーリントン接続による2つのNPNトランジスタTr38及びTr39を接続し、負入力側にダーリントン接続による2つのNPNトランジスタTr40及びTr41を接続した構成を有する。なお、この第3の構成例におけるゲート電位生成

回路81は、第1の構成例と同様のものが使用される。

【0121】従って、この差動増幅回路は、通常の動作モードにおいては、定電流源81に規定の定電流が流れることから、通常の回路動作を行うこととなる。一方、パワーセーブモードにおいては、定電流源81を構成するNPNトランジスタTr33がオフ状態となるため、次段での電流消費が行なわれなくなり、この差動増幅回路を初段に持つ演算増幅器は動作停止状態とされ、電力の消費は実質的になくなる。

【0122】次に、第4の構成例は、図14に示す第1の構成例に係る差動増幅回路において、正入力側トランジスタTr31及び負入力側トランジスタTr32の各コレクタにゲインアップのためのNPNトランジスタTr42及びTr43をそれぞれ直列接続したスーパーゲイン構造の差動増幅回路である。そして、上記ゲインアップ用の2つのNPNトランジスタTr42及びTr43のゲート電極は共通とされ、この共通のゲート電極に図14に示す第1の構成例と同様のゲート電位生成回路82が接続されている。

【0123】この差動増幅回路は、通常の動作モードにおいては、定電流源81及びゲインアップ用の2つのNPNトランジスタTr42及びTr43に所定のゲート電位Vgg1が印加されるため、定電流源81に規定の定電流が流れ、またゲインアップ用の2つのNPNトランジスタTr42及びTr43にもエミッタ電流（コレクタ電流）が流れることとなる。これにより、該差動増幅回路は通常の回路動作を行うこととなる。

【0124】一方、パワーセーブモードにおいては、定電流源81及びゲインアップ用の2つのNPNトランジスタTr42及びTr43に負の電源電圧（-V）が印加されるため、定電流源81を構成するNPNトランジスタTr33並びに上記2つのNPNトランジスタTr42及びTr43は共にオフ状態となり、各入力側のトランジスタTr31及びTr32においてコレクタ電流（エミッタ電流）は流れなくなる。その結果、次段での電流消費が行なわれなくなり、この差動増幅回路を初段に持つ演算増幅器は動作停止状態とされ、電力の消費は実質的になくなる。

【0125】なお、MOSFETを用いた構成例については、図10で示すものとほぼ同じであるため、ここではその説明を省略する。

【0126】このように、本実施の形態に係る増幅器においては、少なくとも初段に接続される差動増幅回路の定電流源81（又は91）に流れる電流を制御して、通常の動作モードでは定電流源81（又は91）に規定のゲート電位Vgg1（又はVgg2）を与え、パワーセーブモード（非動作モード）では定電流源81（又は91）に流れる電流を遮断するのに必要な電位-V（又は+V）を与えるようにしたので、特に非動作モードでの消費電力を大幅に低減させることができ、この本実施の形

態に係る増幅器が組み込まれた信号処理系においては電子機器の消費電力を大幅に低減させることができる。

【0127】そのため、電子機器、特にビデオカメラや携帯電話などの携帯用電子機器に組み込まれる信号処理系に本実施の形態に係る増幅器を使用することにより、非動作中でのバッテリーの消費が少なくなり、誤って電源をONにしたまま持ち運んでいる場合などにおいて、気づいたときにはバッテリーが上がっている、というような不都合を回避することが可能となる。

【0128】また、電子機器の非動作モード時に、外部電源の接続を遮断して電子機器を動作停止状態にするのではなく、外部電源を接続した状態で、しかも電力の消費が実質的に行なわれない状態で動作停止状態にすることができるため、非動作モードから再び動作モードにした場合に、外部電源電圧Vddが安定するまで、並びに信号処理系のセットアップ等が完了するまで待つ必要はなく、電子機器は迅速に動作モードと入ることとなる。

【0129】なお、上記実施の形態に係る増幅器においては、通常の動作モードにおいて定電流源81等に正規のゲート電位Vgg1を与え、パワーセーブモードにおいて定電流源81等にその電流を遮断するのに必要な電位-Vを与えるようにしたが、その他、通常の動作モードにおいて定電流源81に与える電位を変化させて、該増幅回路から出力される信号の出力ダイナミックレンジを変化させるようにしてもよい。

【0130】この場合、ゲート電位生成回路82の構成を図13に示す回路構成を採用することができる。そして、このゲート電位生成回路82における上記スイッチング回路71（図13参照）の可動接点の制御は、例えば電子機器のテストモードにおいて、電子機器の操作パネルに配された操作キーへの操作に基づいてシステムコントローラによって行なうようにしてもよい。このテストモードは、通常、オシロスコープ等を用いて各処理回路の波形を見ながら出力信号の特性を検査するが、この検査時において、本実施の形態に係る増幅器から出力される増幅信号の出力ダイナミックレンジが次段に接続される回路の入力ダイナミックレンジに適合するように、操作パネルの操作キーを通じてスイッチング回路71の可動接点を切換え操作すればよい。

【0131】

【発明の効果】上述のように、本発明に係る固体撮像装置によれば、撮像部に蓄積された信号電荷をその電荷量に応じたレベルの電気信号に変換して出力する出力回路に、少なくとも定電流源を有する一つの増幅段と、上記増幅段の定電流源に流れる電流を制御する制御手段とを設けるようにしたので、外部電源を遮断することなく、消費電力の低減化を有効に図ることができ、次の動作に対して迅速に対応させることができる。

【0132】また、本発明に係る固体撮像装置の出力回路によれば、外部電源を遮断することなく固体撮像装置

を選択的に非動作モードにすることができ、消費電力の低減化を図ることができると共に固体撮像装置を迅速に動作モードへ移行させることができる。

【0133】また、本発明に係る増幅回路によれば、少なくとも定電流源を有し、かつ入力信号を所定のゲインにて増幅する増幅段と、上記定電流源に流れる電流を制御する制御手段を設けるようにしたので、外部電源を遮断することなく増幅段を非動作モードにすることができ、増幅回路を用いた各種電子機器の消費電力の低減化を図ることができると共に、電子機器を迅速に動作モードへ移行させることができる。

【0134】また、本発明に係る電子機器によれば、少なくとも定電流源を有し、かつ入力信号を所定のゲインにて増幅する増幅段が接続された信号処理系を具備した電子機器において、上記増幅段の定電流源に流れる電流を制御する制御手段を設けるようにしたので、外部電源を遮断することなく機器自体を非動作モードにすることができ、動作要求時に迅速に動作モードに移行させることができると共に、機器自体の低消費電力化を有効に図ることができる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像装置を例えばインターライン転送（IT）方式のイメージセンサが組み込まれた撮像デバイス（IC）に適用した実施の形態例（以下、単に実施の形態に係る撮像デバイスと記す）の構成図である。

【図2】本実施の形態に係る撮像デバイスに組み込まれるイメージセンサの構成図である。

【図3】本実施の形態に係る撮像デバイスに組み込まれる出力回路（以下、単に実施の形態に係る出力回路と記す）の構成を示す回路図である。

【図4】本実施の形態に係る出力回路における第1のゲート電位生成回路のスイッチング回路を示す回路図である。

【図5】本実施の形態に係る出力回路における差動回路のスイッチング回路を示す回路図である。

【図6】本実施の形態に係る出力回路における第2のゲート電位生成回路のスイッチング回路を示す回路図である。

【図7】本実施の形態に係る出力回路における初段のソースフォロア回路を示す回路図である。

【図8】本実施の形態に係る出力回路における差動回路を示す回路図である。

【図9】本実施の形態に係る出力回路における差動回路の信号処理を示すタイミングチャートである。

【図10】本実施の形態に係る出力回路におけるボルテ

ージフォロア回路の等価回路を示す回路図である。

【図11】本実施の形態に係る出力回路における第1のソースフォロア回路を示す回路図である。

【図12】本実施の形態に係る出力回路における第2のソースフォロア回路を示す回路図である。

【図13】本実施の形態に係る出力回路の第1のゲート電位生成回路における抵抗分圧回路の変形例を示す回路図である。

【図14】本発明に係る増幅回路を各種電子機器の信号処理系に信号増幅用として組み込まれる演算増幅器に適用した実施の形態例（以下、単に実施の形態に係る増幅器と記す）の特に初段に接続される差動増幅回路の第1の構成例を示す回路図である。

【図15】本実施の形態に係る増幅器の初段に接続される差動増幅回路の第2の構成例を示す回路図である。

【図16】本実施の形態に係る増幅器の初段に接続される差動増幅回路の第3の構成例を示す回路図である。

【図17】本実施の形態に係る増幅器の初段に接続される差動増幅回路の第4の構成例を示す回路図である。

【図18】従来例に係る撮像デバイスに組み込まれる出力回路の構成を示す回路図である。

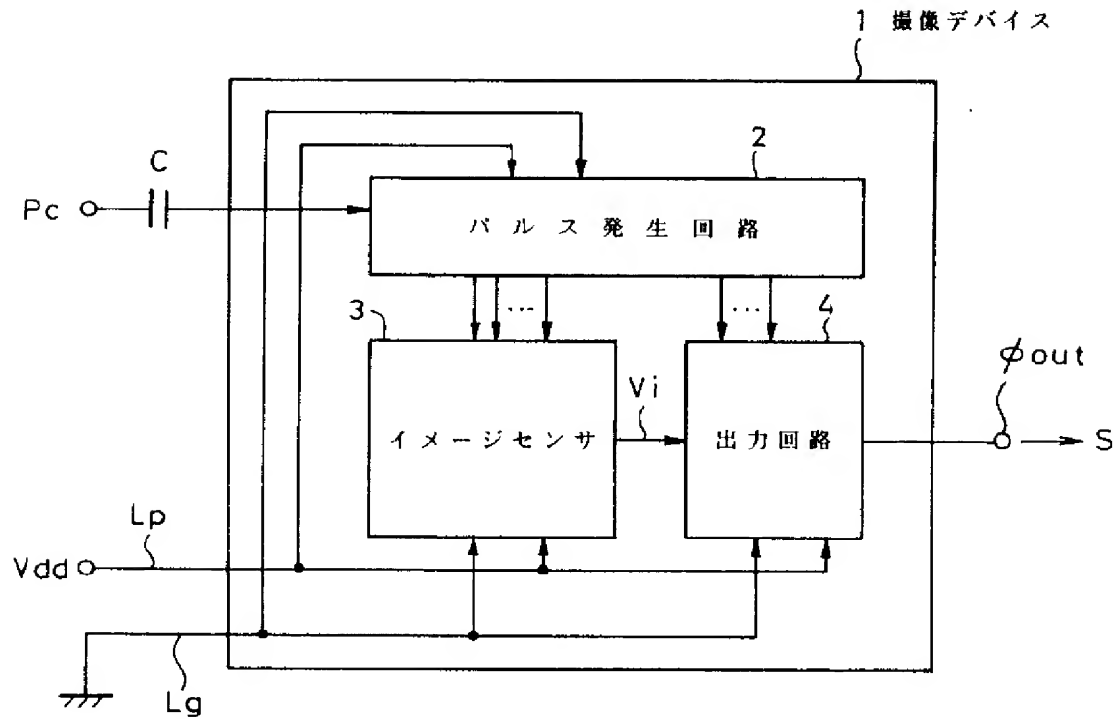
【図19】従来例に係る出力回路の第1のゲート電位生成回路を示す回路図である。

【図20】従来例に係る出力回路の第2のゲート電位生成回路を示す回路図である。

【符号の説明】

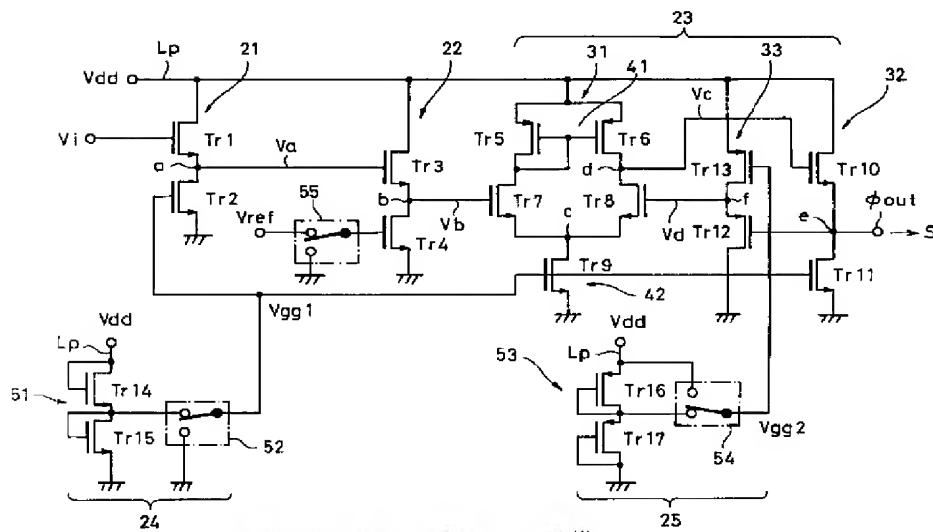
- 1 撮像デバイス
- 2 パルス発生回路
- 3 イメージセンサ
- 4 出力回路
- 13 イメージ部
- 15 出力部
- 16 電荷—電気信号変換部
- 21 初段のソースフォロア回路
- 22 差動回路
- 23 ボルテージフォロア回路
- 24 第1のゲート電位生成回路
- 25 第2のゲート電位生成回路
- 31 差動増幅回路
- 32 第1のソースフォロア回路
- 33 第2のソースフォロア回路
- 41 カレントミラー回路
- 42 定電流源
- 51, 53 抵抗分圧回路
- 52, 54, 55 スwitching回路
- 81, 91 定電流源

【図1】



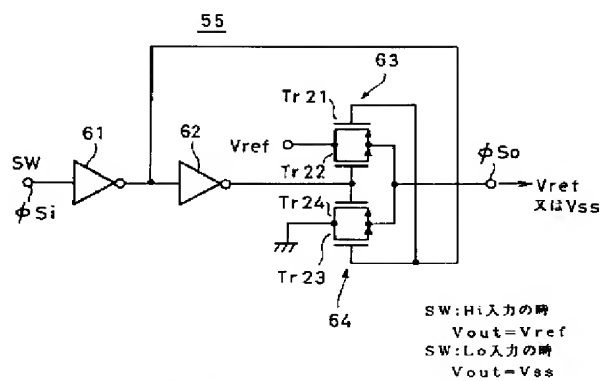
本実施の形態に係る撮像デバイス

【図3】



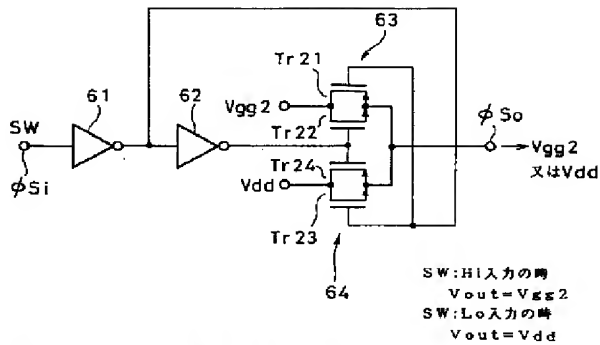
撮像デバイスに組み込まれるイメージセンサ

【図5】

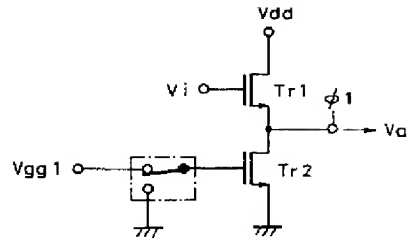


差動回路のスイッチング回路

【図6】

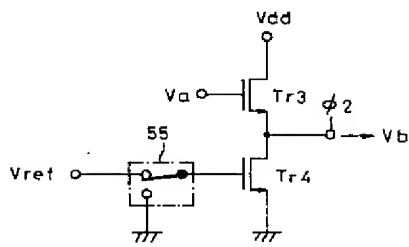
第2のゲート電位生成回路の
スイッチング回路

【図7】



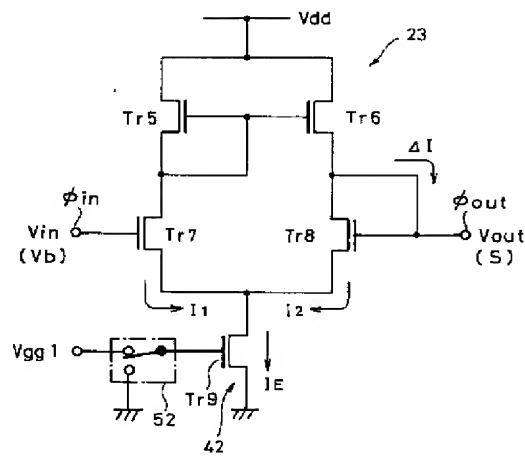
初段のソースフォロア回路

【図8】



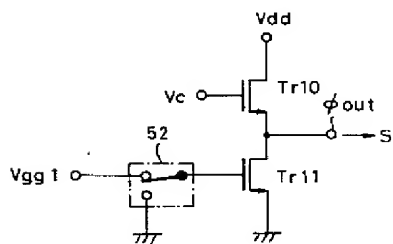
差動回路

【図10】



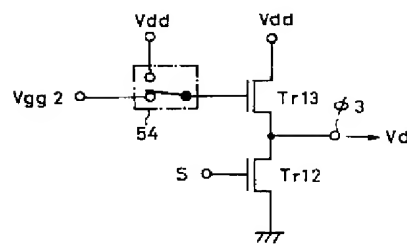
ボルトテージフォロア回路の等価回路

【図11】



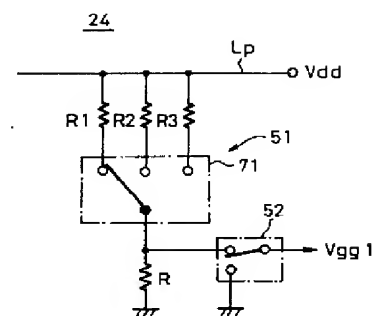
第1のソースフォロア回路

【図12】



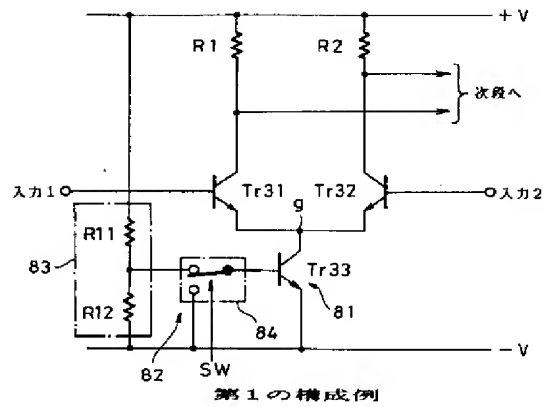
第2のソースフォロア回路

【図13】

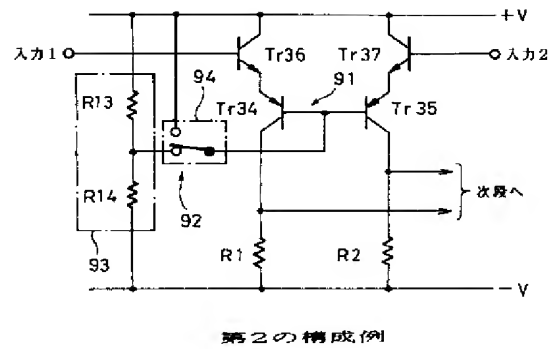


抵抗分圧回路の変形例

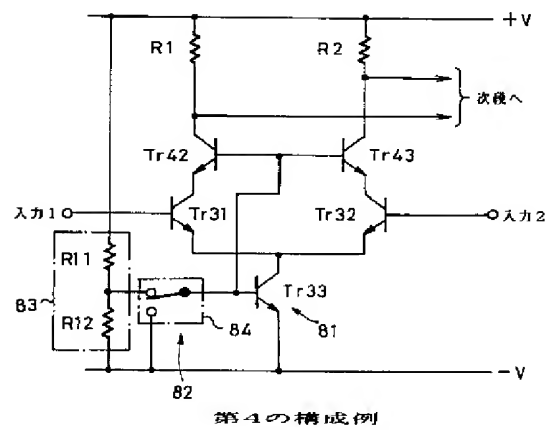
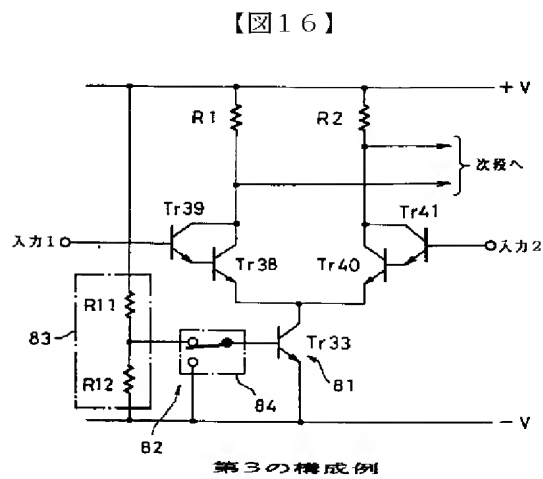
【図14】



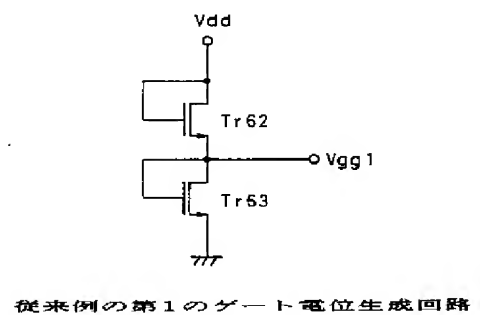
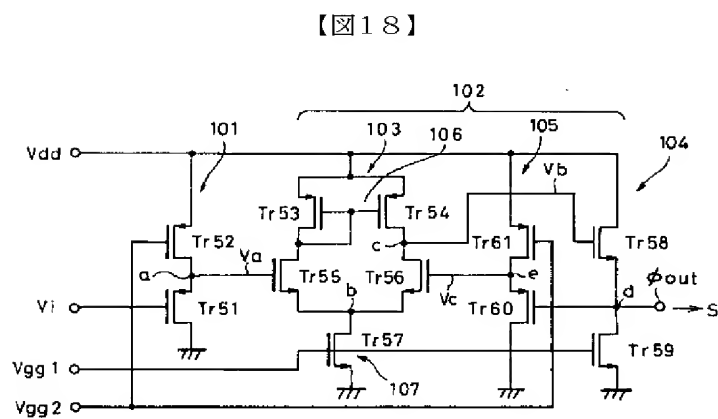
【図15】



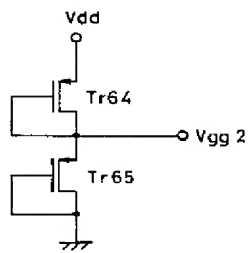
【図17】



【図19】



【図20】



従来例の第2のゲート電位生成回路